

**SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF, THIN FILM TRANSISTOR, MANUFACTURE THEREOF, AND DISPLAY DEVICE**

Publication number: JP8051076

Publication date: 1996-02-20

Inventor: SASAKI TERUSHI

Applicant: SANYO ELECTRIC CO

Classification:

- international: H01L21/20; H01L21/26; H01L21/268; H01L21/336;  
H01L21/84; H01L29/78; H01L29/786; H01L21/02;  
H01L21/70; H01L29/66; (IPC1-7): H01L21/20;  
H01L21/26; H01L21/268; H01L21/336; H01L21/84;  
H01L29/786

- European:

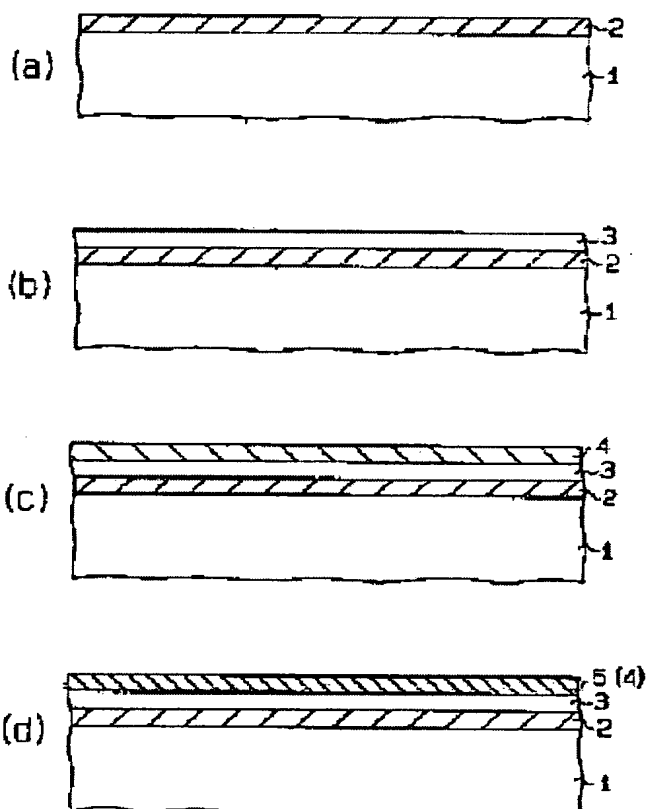
Application number: JP19940269872 19941102

Priority number(s): JP19940269872 19941102; JP19940117125 19940530

Report a data error here

**Abstract of JP8051076**

**PURPOSE:** To form a polycrystalline silicon film which has a uniform and large crystal grain diameter by a method wherein a light reflecting film, a film low in thermal conductivity, and a light absorbing film are formed on a substrate, and the polycrystalline silicon film is formed thereon through a fusion recrystallizing method. **CONSTITUTION:** A buffer layer 3 is formed on a light reflecting film 2. An amorphous silicon film 4 is formed thereon through a CVD method or a PVD method. The amorphous silicon film 4 is turned into a polycrystalline silicon film 5 by RTA processing. The surface of the amorphous silicon film 4 is heated and fused by irradiation with the light beam of a lamp and then cooled down for the formation of the polycrystalline silicon film 5.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-51076

(43) 公開日 平成 8 年 (1996) 2 月 20 日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20				
21/26				
21/268	Z			
			H 0 1 L 21/ 26	L
			21/ 84	
審査請求 未請求 請求項の数16 O L (全 11 頁) 最終頁に続く				

(21) 出願番号 特願平6-269872

(22) 出願日 平成 6 年 (1994) 11 月 2 日

(31) 優先権主張番号 特願平6-117125

(32) 優先日 平 6 (1994) 5 月 30 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 佐々木 昭史

大阪府守口市京阪本通 2 丁目 5 番 5 号 三

洋電機株式会社内

(74) 代理人 弁理士 恩田 博宣

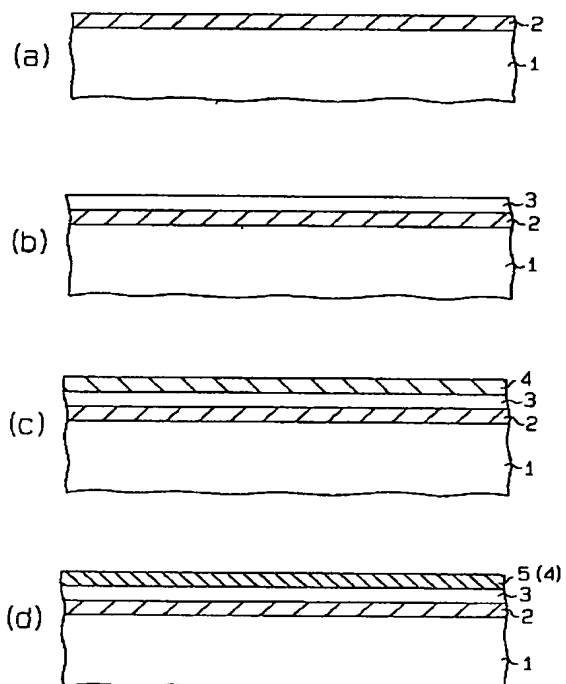
(54) 【発明の名称】 半導体装置、半導体装置の製造方法、薄膜トランジスタ  
スタの製造方法、表示装置

, 薄膜トランジ

(57) 【要約】

【目的】 結晶粒径が均一で且つ大きな多結晶シリコン膜を形成する。

【構成】 絶縁基板 1 上に R T A 装置のランプ光を反射する膜 2 を形成する。次に、反射膜 2 上にバッファ膜 3 を形成する。続いて、バッファ膜 3 上に非晶質シリコン膜 4 を形成して、ランプ光を極短時間で複数回照射させる。ランプ光が照射されると非晶質シリコン膜 4 の表面は加熱されて熔融し、冷やされると凝固して結晶化することで多結晶シリコン膜 5 が形成される。ランプ光は非晶質シリコン膜 4 の全面に一括して照射されるため、多結晶シリコン膜 5 の結晶粒径は均一になる。また、非晶質シリコン膜 4 を透過したランプ光は反射膜 2 によって反射されるためランプ光の利用効率が高まり、非晶質シリコン膜 4 の加熱熔融が効率的に行われる。その結果、非晶質シリコン膜 4 の凝固速度が遅くなり、多結晶シリコン膜 5 の結晶粒径を大きくすることができる。



## 【特許請求の範囲】

【請求項 1】 熔融再結晶化法によって形成された多結晶シリコン膜を備えた半導体装置。

【請求項 2】 R T A 法またはレーザアニール法によって形成された多結晶シリコン膜を備えた半導体装置。

【請求項 3】 請求項 1 または請求項 2 に記載の半導体装置において、多結晶シリコン膜は絶縁基板上に形成された半導体装置。

【請求項 4】 基板上に、光を反射する膜、基板よりも熱伝導率の低い材料による膜、光を吸収する材料による膜のうち少なくともいずれか一つの膜が形成され、その膜の上に多結晶シリコン膜が形成された半導体装置。

【請求項 5】 非晶質シリコン膜を複数回だけ熔融再結晶化させて多結晶シリコン膜を形成する工程を備えた半導体装置の製造方法。

【請求項 6】 R T A 法によって非晶質シリコン膜にランプ光を複数回照射させることで非晶質シリコン膜を熔融再結晶化させて多結晶シリコン膜を形成する工程を備えた半導体装置の製造方法。

【請求項 7】 レーザアニール法によって非晶質シリコン膜にレーザ光を複数回照射させることで非晶質シリコン膜を熔融再結晶化させて多結晶シリコン膜を形成する工程を備えた半導体装置の製造方法。

【請求項 8】 基板上に、光を反射する膜、基板よりも熱伝導率の低い材料による膜、光を吸収する材料による膜のうち少なくともいずれか一つの膜を形成する工程と、

その膜の上に非晶質シリコン膜を形成する工程と、非晶質シリコン膜を熔融再結晶化させて多結晶シリコン膜を形成する工程とを備えた半導体装置の製造方法。

【請求項 9】 基板上に、光を反射する膜、基板よりも熱伝導率の低い材料による膜、光を吸収する材料による膜のうち少なくともいずれか一つの膜を形成する工程と、

その膜の上に非晶質シリコン膜を形成する工程と、R T A 法によって非晶質シリコン膜にランプ光を複数回照射させることで非晶質シリコン膜を熔融再結晶化させて多結晶シリコン膜を形成する工程とを備えた半導体装置の製造方法。

【請求項 10】 基板上に、光を反射する膜、基板よりも熱伝導率の低い材料による膜、光を吸収する材料による膜のうち少なくともいずれか一つの膜を形成する工程と、

その膜の上に非晶質シリコン膜を形成する工程と、レーザアニール法によって非晶質シリコン膜にレーザ光を複数回照射させることで非晶質シリコン膜を熔融再結晶化させて多結晶シリコン膜を形成する工程とを備えた半導体装置の製造方法。

【請求項 11】 請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置における多結晶シリコン膜を能動層として用

いる薄膜トランジスタ。

【請求項 12】 請求項 5 ～ 10 のいずれか 1 項に記載の半導体装置の製造方法によって形成された多結晶シリコン膜を能動層として用いる薄膜トランジスタ。

【請求項 13】 請求項 5 ～ 10 のいずれか 1 項に記載の半導体装置の製造方法によって形成された多結晶シリコン膜上にゲート絶縁膜を形成する工程と、

ゲート絶縁膜上にゲート電極を形成する工程と、ゲート電極を用いた自己整合技術により多結晶シリコン膜にソース領域およびドレイン領域を形成する工程とを備えた薄膜トランジスタの製造方法。

【請求項 14】 請求項 13 に記載の薄膜トランジスタの製造方法において、

デバイスの全面に層間絶縁膜を形成する工程と、その層間絶縁膜にソース領域およびドレイン領域とコンタクトするコンタクトホールを形成する工程と、ソース電極およびドレイン電極を形成する工程とを備えた薄膜トランジスタの製造方法。

【請求項 15】 請求項 11 または請求項 12 に記載の薄膜トランジスタを画素駆動素子として用いる表示装置。

【請求項 16】 請求項 13 また請求項 14 に記載の薄膜トランジスタの製造方法によって製造された薄膜トランジスタを画素駆動素子として用いる表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置、半導体装置の製造方法、薄膜トランジスタ (T F T ; Thin Film Transistor) 、薄膜トランジスタの製造方法、表示装置に関するものである。

## 【0002】

【従来の技術】 近年、アクティブマトリクス方式の液晶ディスプレイ (L C D ; Liquid Crystal Display) が高画質な表示装置として注目されている。そのアクティブマトリクス方式 L C D の画素駆動素子 (画素駆動用トランジスタ) として、透明絶縁基板上に形成された多結晶シリコン膜を能動層に用いた薄膜トランジスタ (以下、多結晶シリコン T F T という) の開発が進められている。

【0003】 多結晶シリコン T F T は、非晶質シリコン膜を能動層に用いた薄膜トランジスタ (以下、非晶質シリコン T F T という) に比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコン T F T を用いれば、高性能な L C D を実現できる上に、画素部 (表示部) だけでなく周辺駆動回路 (ドライバ) までも同一基板上に一体にして形成することができる (ドライバ一体型 L C D と呼ばれる)。

【0004】 従来の多結晶シリコン T F T は、1000℃程度の高温度の工程 (高温プロセスと呼ばれる) を使って形成されていた。高温プロセスは長年に渡る十分な技術的

蓄積のあるLSI技術を踏襲したものである。そのため、高温プロセスで形成された多結晶シリコンTFT（高温多結晶シリコンTFTと呼ばれる）は、素子特性、信頼性、再現性に優れている。しかし、高温プロセスはプロセス温度が高いため、基板には石英ガラスを使わざるを得ない。石英ガラスは大型化に伴って著しく高価になる上に現在のところ大型化には限りがあるため、基板の寸法が制限を受ける。そのため、コスト的に見合うLCDのパネルサイズは2型以下となり、ビデオカメラのビューファインダ用や液晶プロジェクタ用としては十分に使用できるものの、直視用としてはパネルサイズが小さすぎて使用できない。

【0005】一方、非晶質シリコンTFTは、400℃以下の低温の工程を使って形成可能なため、基板に通常のガラスを使うことができる。通常のガラスは石英ガラスの約1/10の価格で寸法にも制限がないが、LCD用に市販されている高耐熱ガラス（例えば、米国Corning Inc.製の「7059」）でも600℃程度の耐熱温度しかない。

【0006】そこで、基板に通常のガラス（高耐熱ガラス）を使用できるように、多結晶シリコンTFTを600℃程度以下の低温の工程（低温プロセスと呼ばれる）を使って形成することが求められている。低温プロセスで形成された多結晶シリコンTFTは低温多結晶シリコンTFTと呼ばれる。低温多結晶シリコンTFTで問題となるのは、能動層となる多結晶シリコン膜の形成方法、ゲート絶縁膜の形成方法、ソース・ドレイン領域の形成方法などである。

【0007】シリコン薄膜の形成方法には種々の方法（CVD法、蒸着法、スパッタ法など）があるが、いずれの方法でもシリコン薄膜を低温でガラス基板上に形成すると、膜は非晶質になる。その非晶質シリコン膜を多結晶化する方法としては、固相成長法や熔融再結晶化法がある。

【0008】固相成長法は、非晶質シリコン膜に600℃前後で長時間の熱処理を行うことにより、固体のまま多結晶化させて多結晶シリコン膜を得る方法である。熔融再結晶化法は、非晶質シリコン膜の表面だけを熔融させて再結晶化を図りながら基板温度を600℃以下に保つ方法であり、レーザアニール法やRTA（Rapid Thermal Annealing）法がある。レーザアニール法は、非晶質シリコン膜の表面にレーザを照射して加熱熔融させる方法である。RTA法は、非晶質シリコン膜の表面にタングステンランプやキセノンランプなどのランプ光を照射して加熱熔融させる方法である。

【0009】

【発明が解決しようとする課題】固相成長法には以下の問題がある。1）多結晶シリコンの結晶粒径に対する制御方法がないため、基板全体にわたって均一な結晶粒径の多結晶シリコン膜を形成することが難しい。

【0010】非晶質シリコン膜における結晶成長は、主

に非晶質シリコン膜と基板との界面から起こるが、非晶質シリコン膜中で起こることも多い。つまり、非晶質シリコン膜中のどの場所から結晶成長が起こるかは不確定である。従って、結晶成長が密に起こった場所では結晶粒径が小さくなり、結晶成長が疎らに起こった場所では結晶粒径が大きくなるため、結晶粒径の均一性が低下する。

【0011】多結晶シリコン膜は結晶粒径が大きいほど電界効果移動度が高くなり、電界効果移動度の高い多結晶シリコン膜を能動層として用いれば多結晶シリコンTFTの素子特性は向上する。そのため、多結晶シリコン膜中で結晶粒径が大きい場所に形成された多結晶シリコンTFTの素子特性は優れたものになる一方、結晶粒径が小さい場所に形成された多結晶シリコンTFTの素子特性は劣ったものになる。つまり、多結晶シリコン膜における結晶粒径の均一性が低下すると、多結晶シリコンTFTの素子特性にバラツキが生じる。その結果、LCDのパネル全面にわたって均質な画像を表示できなくなる。

【0012】低温プロセスを採用する目的は、通常のガラス基板を用いてパネルサイズの大きなLCDを安価に提供することにある。多結晶シリコン膜における結晶粒径の均一性の低下は基板の大型化に伴って顕著になるため、パネルサイズの大きなLCDでは特に問題となる。

【0013】2）非晶質シリコン膜が完全に多結晶化するには（すなわち、100%の結晶化率を得るには）、20時間といった長時間の熱処理が必要となる。従って、スループットが低下してしまう。また、LCD用の高耐熱ガラスを用いた場合でも、その耐熱温度限界近くで長時間の熱処理を行うことになるため、基板に歪みなどのダメージが生じやすくなる。熱処理時間を短くするには、基板の耐熱温度の範囲内においてできるだけ高温で熱処理を行えばよい。しかし、処理温度を高くすると結晶化速度を速くできる反面、結晶粒径が小さくなってしまふ。その結果、LCDのパネル全面にわたって多結晶シリコンTFTの素子特性が悪化し、画質が低下してしまう。特に、ドライバ一体型LCDでは、周辺駆動回路に用いられる多結晶シリコンTFTに対して、画素部に用いられる多結晶シリコンTFTよりも優れた素子特性が要求される。従って、多結晶シリコン膜の結晶粒径が小さくなると、ドライバ一体型LCDを具体化することができなくなる。

【0014】レーザアニール法では、固相成長法に比べて熱処理時間が短いため、基板にダメージが生じることはなく、スループットが低下することもない。しかし、現在のところ大型の基板を一括して処理できるような大口径のレーザ装置がないため、レーザスポットを基板全面に走査させる必要がある。そのため、レーザスポットが照射される部分に重なりができ、非晶質シリコン膜には、レーザスポットが2回照射されて2回加熱熔融され

る場所と、レーザスポットが1回しか照射されず1回しか加熱溶解されない場所とが生じる。すると、2回加熱溶解された場所では結晶粒径が小さくなり、1回しか加熱溶解されない場所では結晶粒径が大きくなるため、結晶粒径の均一性が低下する。従って、レーザアニール法においても固相成長法と同様に、基板全体にわたって均一な結晶粒径の多結晶シリコン膜を形成することが難しいという問題がある。そこで、レーザアニール法では、レーザスポットの走査速度を落として重なり部分を極力小さくさせたり、レーザスポットを複数回照射してレー

ザスポットの重なり部分を平均化させることで、結晶粒径の均一性を向上させる方法がとられている。しかし、それでもなお十分な均一性を得ることは難しい。  
【0015】RTA法においても、固相成長法に比べて熱処理時間が短いため、基板にダメージが生じることはなく、スループットが低下することもない。加えて、RTA法では、基板全面に一括してランプ光を照射することができるため、非晶質シリコン膜全体を均一に加熱溶解することができる。そのため、基板全体にわたって均一な結晶粒径の多結晶シリコン膜を形成することができる。しかし、あまり長時間にわたってランプ光を照射し続けると、基板全体が加熱され過ぎて基板にダメージが生じるため、ランプ光の照射時間はできるだけ短くする必要がある。ところが、ランプ光の照射時間を短くすると非晶質シリコン膜の熱処理時間も短くなり、多結晶シリコン膜の結晶粒径を大きくすることができなくなる。つまり、RTA法では、基板全体にわたって均一な結晶粒径の多結晶シリコン膜を形成することはできないという問題がある。

【0016】本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

1) 結晶粒径が均一な多結晶シリコン膜を備えた半導体装置およびその製造方法を提供する。

【0017】2) 結晶粒径が均一で且つ大きな多結晶シリコン膜を備えた半導体装置およびその製造方法を提供する。

3) 優れた多結晶シリコン膜を能動層として用いる優れた薄膜トランジスタおよびその製造方法を提供する。

【0018】4) 優れた薄膜トランジスタを画素駆動素子として用いる安価で大面積で優れた表示装置を提供する。

【0019】

【課題を解決するための手段】請求項1に記載の発明は、熔融再結晶化法によって形成された多結晶シリコン膜を備えたことをその要旨とする。

【0020】請求項2に記載の発明は、RTA法またはレーザアニール法によって形成された多結晶シリコン膜を備えたことをその要旨とする。請求項3に記載の発明は、請求項1または請求項2に記載の半導体装置におい

て、多結晶シリコン膜は絶縁基板上に形成されたことをその要旨とする。

【0021】請求項4に記載の発明は、基板上に、光を反射する膜、基板よりも熱伝導率の低い材料による膜、光を吸収する材料による膜のうち少なくともいずれか一つの膜が形成され、その膜の上に多結晶シリコン膜が形成されたことをその要旨とする。

【0022】請求項5に記載の発明は、非晶質シリコン膜を複数回だけ熔融再結晶化させて多結晶シリコン膜を形成する工程を備えたことをその要旨とする。請求項6に記載の発明は、RTA法によって非晶質シリコン膜にランプ光を複数回照射させることで非晶質シリコン膜を熔融再結晶化させて多結晶シリコン膜を形成する工程を備えたことをその要旨とする。

【0023】請求項7に記載の発明は、レーザアニール法によって非晶質シリコン膜にレーザ光を複数回照射させることで非晶質シリコン膜を熔融再結晶化させて多結晶シリコン膜を形成する工程を備えたことをその要旨とする。

【0024】請求項8に記載の発明は、基板上に、光を反射する膜、基板よりも熱伝導率の低い材料による膜、光を吸収する材料による膜のうち少なくともいずれか一つの膜を形成する工程と、その膜の上に非晶質シリコン膜を形成する工程と、非晶質シリコン膜を熔融再結晶化させて多結晶シリコン膜を形成する工程とを備えたことをその要旨とする。

【0025】請求項9に記載の発明は、基板上に、光を反射する膜、基板よりも熱伝導率の低い材料による膜、光を吸収する材料による膜のうち少なくともいずれか一つの膜を形成する工程と、その膜の上に非晶質シリコン膜を形成する工程と、RTA法によって非晶質シリコン膜にランプ光を複数回照射させることで非晶質シリコン膜を熔融再結晶化させて多結晶シリコン膜を形成する工程とを備えたことをその要旨とする。

【0026】請求項10に記載の発明は、基板上に、光を反射する膜、基板よりも熱伝導率の低い材料による膜、光を吸収する材料による膜のうち少なくともいずれか一つの膜を形成する工程と、その膜の上に非晶質シリコン膜を形成する工程と、レーザアニール法によって非晶質シリコン膜にレーザ光を複数回照射させることで非晶質シリコン膜を熔融再結晶化させて多結晶シリコン膜を形成する工程とを備えたことをその要旨とする。

【0027】請求項11に記載の発明は、請求項1～4のいずれか1項に記載の半導体装置における多結晶シリコン膜を能動層として用いることをその要旨とする。請求項12に記載の発明は、請求項5～10のいずれか1項に記載の半導体装置の製造方法によって形成された多結晶シリコン膜を能動層として用いることをその要旨とする。

【0028】請求項13に記載の発明は、請求項5～1

0のいずれか1項に記載の半導体装置の製造方法によって形成された多結晶シリコン膜上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極を形成する工程と、ゲート電極を用いた自己整合技術により多結晶シリコン膜にソース領域およびドレイン領域を形成する工程とを備えたことをその要旨とする。

【0029】請求項14に記載の発明は、請求項13に記載の薄膜トランジスタの製造方法において、デバイスの全面に層間絶縁膜を形成する工程と、その層間絶縁膜にソース領域およびドレイン領域とコンタクトするコンタクトホールを形成する工程と、ソース電極およびドレイン電極を形成する工程とを備えたことをその要旨とする。

【0030】請求項15に記載の発明は、請求項11または請求項12に記載の薄膜トランジスタを画素駆動素子として用いることをその要旨とする。請求項16に記載の発明は、請求項13また請求項14に記載の薄膜トランジスタの製造方法によって製造された薄膜トランジスタを画素駆動素子として用いることをその要旨とする。

【0031】

【作用】請求項1に記載の発明によれば、熔融再結晶化法によって形成された多結晶シリコン膜を備えることができる。

【0032】請求項2に記載の発明によれば、RTA法またはレーザアニール法によって形成された多結晶シリコン膜を備えることができる。請求項3に記載の発明によれば、多結晶シリコン膜を絶縁基板上に形成することにより、その多結晶シリコン膜を利用して液晶ディスプレイ、密着型イメージセンサ、DRAMのメモリセル内の電荷転送素子、SRAMのメモリセル内の負荷素子、三次元ICなどを形成することができる。

【0033】請求項4に記載の発明によれば、RTA法またはレーザアニール法によって非晶質シリコン膜を熔融再結晶化させて多結晶シリコン膜を形成する際に、光を反射する膜が設けられていると、RTA法におけるランプ光またはレーザアニール法におけるレーザ光の利用効率を高めることができる。また、基板よりも熱伝導率の低い材料による膜や光を吸収する材料による膜が設けられていると、非晶質シリコン膜からの潜熱の流出が少なくなり、非晶質シリコン膜の加熱熔融を効率的に行うことができる。従って、結晶粒径が大きな多結晶シリコン膜を形成することができる。

【0034】請求項5～7のいずれか1項に記載の発明によれば、加熱熔融された非晶質シリコン膜中の潜熱が流出し難くなり、凝固速度が遅くなるため、結晶粒径が大きな多結晶シリコン膜を形成することができる。また、請求項6に記載の発明によれば、ランプ光を非晶質シリコン膜の全面に照射することで、非晶質シリコン膜全体を均一に加熱熔融することができ、結晶粒径の均一

な多結晶シリコン膜を形成することができる。

【0035】請求項8に記載の発明によれば、請求項4と請求項5とに記載の発明の相乗作用により、結晶粒径が大きな多結晶シリコン膜を形成することができる。請求項9に記載の発明によれば、請求項4と請求項6とに記載の発明の相乗作用により、結晶粒径が大きな多結晶シリコン膜を形成することができる。

【0036】請求項10に記載の発明によれば、請求項4と請求項7とに記載の発明の相乗作用により、結晶粒径が大きな多結晶シリコン膜を形成することができる。請求項11に記載の発明によれば、請求項1～4のいずれか1項に記載の発明と同様の作用によって優れた能動層を得ることができ、薄膜トランジスタの高性能化を図ることができる。

【0037】請求項12に記載の発明によれば、請求項5～10のいずれか1項に記載の発明と同様の作用によって優れた能動層を得ることができ、薄膜トランジスタの高性能化を図ることができる。

【0038】請求項13に記載の発明によれば、請求項5～10のいずれか1項に記載の発明と同様の作用により優れた能動層を短時間に得ることができる。また、自己整合技術によりソース領域およびドレイン領域を形成することができる。従って、プレーナ型またはスタガ型の薄膜トランジスタを短時間に得ることができ、その高性能化を図ることができる。そして、低温プロセスによって能動層を形成できることから、ゲート絶縁膜の形成工程およびソース領域およびドレイン領域の形成工程にも低温プロセスを導入すれば、全工程を低温プロセス化することが可能になり、絶縁基板として耐熱温度の低い材料を用いることができる。

【0039】請求項14に記載の発明によれば、層間絶縁膜、ソース電極、ドレイン電極を形成して薄膜トランジスタを完成することができる。請求項15または請求項16に記載の発明によれば、優れた薄膜トランジスタを画素駆動素子として用いることにより、優れた表示装置を得ることができる。また、薄膜トランジスタの製造に係る全工程を低温プロセス化すれば、基板に耐熱温度の低い材料を用いることができ、安価に大面積な表示装置を得ることができる。

【0040】

【実施例】以下、本発明を具体化した一実施例の製造方法を図1～図3に従って説明する。

【0041】工程1(図1(a)参照)；透明絶縁基板1(石英ガラス、高耐熱ガラス)上に、後記するRTA装置のランプ光を反射する膜(以下、反射膜という)2を形成する。反射膜2はランプ光を反射する性質があればどのような材質でもよいが、例えば、金属(アルミ、銅、金、銀、プラチナなど)、高融点金属(チタン、タantal、モリブデン、タングステンなど)、金属シリサイドなどが用いられ、その形成にはCVD法またはPV

D法が用いられる。CVD法には常圧CVD法、減圧CVD法、プラズマCVD法、光励起CVD法などがある。また、PVD法には蒸着法、EB (Electron Beam) 蒸着法、MBE (Molecular Beam Epitaxy) 法、スパッタ法などがある。そして、反射膜2の膜厚は、反射膜2の材質およびランプ光の波長に合わせて、ランプ光を十分に反射するために必要十分な膜厚に設定されている。

【0042】工程2 (図1 (b) 参照) ; 反射膜2上にバッファ膜3を形成する。バッファ膜3は、後記するRTA処理において、反射膜2と多結晶シリコン膜とが反応するのを防ぐために設けられている。従って、RTA処理において多結晶シリコン膜と反応しないような材質で反射膜2を形成した場合には、バッファ膜3を省いてもよい。バッファ膜3の材質としては、シリコン酸化膜、シリコン窒化膜、シリコン窒酸化膜 (SiO, N, ) などが用いられ、その形成にはCVD法またはPVD法が用いられる。

【0043】工程3 (図1 (c) 参照) ; バッファ膜3上に非晶質シリコン膜4 (膜厚; 500 Å) を形成する。非晶質シリコン膜4の形成にはCVD法またはPVD法が用いられるが、以下の方法が一般的である。

【0044】①減圧CVD法を用いる方法; 減圧CVD法でシリコン膜を形成するには、モノシラン (SiH<sub>4</sub>) またはジシラン (Si<sub>2</sub>H<sub>6</sub>) の熱分解を用いる。この場合、処理温度が550 °C以下では非晶質、620 °C以上では多結晶となる。

【0045】②プラズマCVD法を用いる方法; プラズマCVD法で非晶質シリコン膜を形成するには、プラズマ中でのモノシランまたはジシランの熱分解を用いる。この場合、処理温度は300 °C程度で水素を添加すると反応が促進される。

【0046】工程4 (図1 (d) 参照) ; RTA処理を行うことにより、非晶質シリコン膜4を多結晶化させて多結晶シリコン膜5を形成する。図3に、RTA処理を行うためのRTA装置の概略構成を示す。RTA装置11は、予備加熱室A、処理室B、冷却室Cを備えている。各室A~Cにまたがってステージ12が設けられ、そのステージ12上をRTA処理されるサンプル (基板1) が一定速度で移動する。予備加熱室A内では基板1が予備加熱される。処理室B内には、円柱状のランプ本体 (タングステンランプまたはキセノンランプ) 13と反射板14 (集光光学系) とからなるランプ装置15が、基板1の移動方向に沿って均等な間隔で複数個配置されている。ランプ本体13から照射されたランプ光は反射板14によって反射され、基板1の表面 (非晶質シリコン膜4の表面) に照射される。冷却室C内では基板1が冷却される。

【0047】ランプ光が照射されると非晶質シリコン膜4の表面は加熱されて溶融し、続いて、冷やされると凝

固して結晶化することで多結晶シリコン膜5が形成される。ここで、ランプ光は非晶質シリコン膜4の全面に一括して照射されるため、非晶質シリコン膜4全体を均一に加熱溶融することができる。そのため、基板1全体にわたって均一な結晶粒径の多結晶シリコン膜5を形成することができる。

【0048】このとき、非晶質シリコン膜4はランプ光のごく一部しか吸収せず、ランプ光の大部分は非晶質シリコン膜4を透過する。非晶質シリコン膜4を透過したランプ光は反射膜2によって反射され、再び非晶質シリコン膜4中へ戻される。そのため、反射膜2を設けない場合に比べてランプ光の利用効率が高まり、非晶質シリコン膜4の加熱溶融を効率的に行うことができる。例えば、蒸着法で形成された銀からなる反射膜2を用い、ランプ本体13にはキセノンランプを用いた場合、反射膜2はキセノンアークスペクトル全波長の98%以上を反射することができる。また、ランプ光が反射膜2によって反射されるため、非晶質シリコン膜4を透過したランプ光によって基板1が加熱されるのを防止することができる。

【0049】そして、基板1の移動速度に対応して各ランプ装置15を順次発光させると、非晶質シリコン膜4へのランプ光の照射は複数回行われる。ここで、基板1の移動速度と各ランプ装置15の発光のタイミングとを調整すれば、非晶質シリコン膜4へのランプ光の照射を極短時間で複数回行うことができる。その結果、加熱溶融された非晶質シリコン膜4中の潜熱が基板1に流出し難くなり、凝固速度が早くなるのが防止される。

【0050】このように、反射膜2を設けることでランプ光の利用効率を高めて非晶質シリコン膜4の溶融を効率的に行うと共に、ランプ光の照射を極短時間で複数回行うことにより、非晶質シリコン膜4の凝固速度を遅くすることができる。その結果、多結晶シリコン膜5の結晶粒径を大きくすることができる。また、ランプ光の照射を極短時間で複数回行うことで、基板1全体が加熱され過ぎることはなくなり、基板1に歪みなどのダメージが生じるのを防ぐことができる。さらに、RTA処理に要する時間は固相成長法における熱処理時間に比べればはるかに短いため、スループットが低下することもない。

【0051】但し、非晶質シリコン膜4へのランプ光の照射回数および1回当たりの照射時間については、ランプ光 (ランプ装置15の投射光) の性質 (波長や光の強度など) および非晶質シリコン膜4の性質 (光の吸収係数) を勘案して最適化する必要がある。

【0052】このように、本実施例によれば、結晶粒径が均一で且つ大きな多結晶シリコン膜5を低温プロセスによって短時間に得ることができる。従って、基板1に高耐熱ガラスを用いることが可能になるだけでなく、その耐熱温度を下げることもできる。

【0053】尚、非晶質シリコン膜4の形成に減圧CVD法を用いた場合、多結晶シリコン膜5の膜質が良好になる反面、処理温度が高くなるため基板1に石英ガラスを用いなければならない。一方、プラズマCVD法を用いた場合、多結晶シリコン膜5の膜質は減圧CVD法に比べれば劣るものの、処理温度が低くなるため基板1に高耐熱ガラスを用いることができる。従って、目的に合わせていずれかの方法を選択すればよい。

【0054】工程5(図2参照)；多結晶シリコン膜5を能動層として用いるプレーナ型の多結晶シリコンTFTを形成する。まず、多結晶シリコン膜5上にゲート絶縁膜6(膜厚；1000Å)を形成する。ゲート絶縁膜6の形成方法には以下のものがある。

【0055】[1] 酸化法を用いてシリコン酸化膜を形成する方法；高温酸化法(乾燥酸素を用いるドライ酸化法、湿った酸素を用いるウェット酸化法、水蒸気雰囲気中での酸化法)、低温酸化法(高圧水蒸気雰囲気中での酸化法、酸素プラズマ中での酸化法)、陽極酸化法などを用いる。

【0056】この中では、900～1200℃程度の高温酸化法が一般的である。

[2] 被着法を用いてシリコン酸化膜、シリコン窒化膜、シリコン窒酸化膜を形成する方法；CVD法やPVD法を用いる。また、各膜を組み合わせることで多層構造にする方法もある。

【0057】CVD法によるシリコン酸化膜の形成には、モノシランまたはジシランの熱分解、有機オキシシラン(TEOSなど)の熱分解、ハロゲン化珪素の加水分解などを用いる。CVD法によるシリコン窒化膜の形成には、アンモニアおよびジクロルシラン( $\text{SiH}_2\text{Cl}_2$ )、アンモニアおよびモノシラン、窒素およびモノシランなどの熱分解などを用いる。シリコン窒酸化膜は酸化膜と窒化膜の両膜の特性をもつもので、CVD法によるシリコン窒化膜の形成の系に酸化窒素( $\text{N}_2\text{O}$ )を少量導入することで形成することができる。

【0058】尚、ゲート絶縁膜6の形成方法にも高温プロセスおよび低温プロセスがある。高温プロセスでは、一般に前記した高温酸化法が用いられる。一方、低温プロセスでは、一般に前記した酸素プラズマ中での酸化法や被着法などが用いられ、処理温度が600℃程度以下に抑えられる。

【0059】次に、ゲート絶縁膜6上にゲート電極7を形成して所望の形状にパターニングする。ゲート電極7の材質としては、不純物がドーパされた多結晶シリコン(ドーパドポリシリコン)、金属シリサイド、ポリサイド、高融点金属単体、その他の金属などが用いられ、その形成にはCVD法またはPVD法が用いられる。

【0060】続いて、自己整合技術により、ゲート電極7をマスクとして多結晶シリコン膜5にソース・ドレイン領域8を形成する。ソース・ドレイン領域8の形成方

法にも高温プロセスおよび低温プロセスがある。高温プロセスでは、不純物をイオン注入後に高温の熱処理を行って不純物を活性化させる。低温プロセスでは、ホスフィンガス( $\text{PH}_3$ )またはジボランガス( $\text{B}_2\text{H}_6$ )と水素ガスとの混合ガスによるイオンシャワーを照射することで、特別な熱処理工程を設けることなく不純物の注入と活性化を同時に行う。尚、低温プロセスでは、不純物をイオン注入後に600℃程度以下の低温で数時間～数十時間の熱処理を行うことで不純物を活性化させる方法もある。基板1に高耐熱ガラスを用いた場合には、多結晶シリコン膜5の形成時だけでなく、ゲート絶縁膜6の形成時およびソース・ドレイン領域8の形成時にも低温プロセスを用いなければならない。

【0061】そして、デバイスの全面に層間絶縁膜9を形成する。層間絶縁膜9の材質としては、シリコン酸化膜、シリケートガラス、シリコン窒化膜などが用いられ、その形成にはCVD法またはPVD法が用いられる。

【0062】その後、ソース・ドレイン領域8とコンタクトするコンタクトホール10が層間絶縁膜9に形成され、ソース・ドレイン電極11が形成されて多結晶シリコンTFTが完成する。

【0063】このように、本実施例によれば、多結晶シリコン膜5の結晶粒径が均一で且つ大きいため、基板1の全体にわたって素子特性にバラツキがない上に、優れた素子特性の多結晶シリコンTFTを形成することができる。そのような多結晶シリコンTFTをアクティブマトリクス方式LCDの画素駆動素子として用いれば、LCDのパネル全面にわたって均質で高品位な画像を表示することができる。また、素子特性の優れた多結晶シリコンTFTは、画素駆動素子としてだけでなく、周辺駆動回路にも使用することができるため、ドライバー一体型LCDを具体化することができる。さらに、多結晶シリコン膜5が短時間で形成されることから、多結晶シリコンTFTおよびLCDのスループットを向上させることができる。

【0064】また、本実施例において、ゲート絶縁膜6およびソース・ドレイン領域8の形成に低温プロセスを採用すれば、基板1に高耐熱ガラスを用いてパネルサイズの大きなLCDを安価に提供することができる。

【0065】ところで、LCDでは、画素駆動素子としての多結晶シリコンTFTに光が当たると、多結晶シリコンTFTの素子特性が変化して、性能劣化や誤動作を引き起こすことがある。本実施例においては、反射膜2が設けられているために、基板1側から多結晶シリコンTFTに光が当たることがなくなり、LCDの性能劣化や誤動作を防止することができる。

【0066】尚、上記実施例は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。



(1) 反射膜 2 の成膜後にフォトリソ工程によって反射膜 2 の不要な部分をエッチング除去し、反射膜 2 を必要とする部分にだけアイランド形成する。

【0067】(2) 反射膜 2 を、光を吸収する膜（非晶質シリコン膜 4 が吸収しない波長の光を吸収する膜、または非晶質シリコン膜 4 に吸収されずに透過した光を吸収する材料による膜。以下、光吸収膜という）に置き代える。この場合には、非晶質シリコン膜 4 を透過したランプ光が光吸収膜によって吸収され、光吸収膜が加熱されることで光吸収膜および非晶質シリコン膜 4 に熱が蓄えられる。その結果、非晶質シリコン膜 4 からの潜熱の流出が少なくなり、非晶質シリコン膜 4 の加熱熔融を効率的に行うことができる。光吸収膜の材質としては、酸化チタン、酸化タンタル、窒化チタン、酸化アルミなどが用いられ、その形成には CVD 法または PVD 法が用いられる。

【0068】また、可視光領域やその近傍の光はシリコンを含む多くの物質に吸収されるが、透明絶縁基板上に形成された非晶質シリコン薄膜は輻射のごく一部しか吸収しないため、大部分の光は透過する。そこで、光吸収膜の材質としては、シリコン系の化合物（非晶質シリコン、微結晶を含む非晶質シリコン、多結晶シリコン、酸化シリコン、窒化シリコン、窒酸化シリコン、炭化シリコンなど）を用いてもよく、その形成には CVD 法または PVD 法が用いられる。

【0069】(3) 反射膜 2 を、基板 1 よりも熱伝導率の低い材料による膜（以下、低熱伝導膜という）に置き代える。この場合には、非晶質シリコン膜 4 から基板 1 への潜熱の流出が少なくなり、非晶質シリコン膜 4 の加熱熔融を効率的に行うことができる。低熱伝導膜の材質としては酸化シリコンが用いられ、その形成には CVD 法、PVD 法、LPD（液相成長）法、塗布法などが用いられる。

【0070】(4) 反射膜 2 と光吸収膜と低熱伝導率膜とをそれぞれ組み合わせる。例えば、反射膜 2 の上層に低熱伝導膜を形成する。また、反射膜 2 の上層に光吸収膜を形成する。また、反射膜 2 の上層に光吸収膜を形成し、その上層に低熱伝導膜とを形成する。これらの場合には、各膜の相乗作用により、本発明の効果をさらに高めることができる。

【0071】(5) RTA 法ではなくレーザアニール法に適用する。この場合には、非晶質シリコン膜 4 表面へのレーザスポット（レーザ光）の照射を複数回行うことで、加熱熔融された非晶質シリコン膜 4 中の潜熱が基板 1 に流出し難くなり、凝固速度が早くなるのが防止される。

【0072】(6) 多結晶シリコン TFT の製造工程において、多結晶シリコン膜 5 の形成後に、水素化処理を行うことで多結晶シリコン TFT の素子特性を向上させる。水素化処理とは、多結晶シリコンの結晶欠陥部分に

水素原子を結合させることにより、欠陥を減らして結晶構造を安定化させ、電界効果移動度を高める方法である。

【0073】(7) 多結晶シリコン膜 5 のチャンネル領域に相当する部分に不純物をドーピングして多結晶シリコン TFT の閾値電圧 ( $V_{th}$ ) を制御する。熔融再結晶化法で形成された多結晶シリコン TFT においては、n チャンネルトランジスタではディプレッション方向に閾値電圧がシフトし、p チャンネルトランジスタではエンハンスメント方向に閾値電圧がシフトする傾向にある。特に、水素化処理を行った場合には、その傾向がより顕著となる。この閾値電圧のシフトを抑えるには、チャンネル領域に不純物をドーピングすればよい。

【0074】(8) プレーナ型だけでなく、逆プレーナ型、スタガ型、逆スタガ型などあらゆる構造の多結晶シリコン TFT に適用する。

(9) 多結晶シリコン TFT だけでなく、絶縁ゲート型半導体素子全般に適用する。また、太陽電池や光センサなどの光電変換素子、バイポーラトランジスタ、静電誘導型トランジスタ (SIT; Static Induction Transistor) などの多結晶シリコン膜を用いるあらゆる半導体装置に適用する。

【0075】(10) 絶縁基板 1 をセラミックス基板やシリコン酸化膜などの絶縁層に置き換え、LCD ではなく密着型イメージセンサや三次元 IC などに適用する。

(11) 多結晶シリコン TFT を、LCD ではなくダイナミック RAM (DRAM) のメモリセル内の電荷転送素子やスタティック RAM (SRAM) のメモリセル内の負荷素子などに用いる。

【0076】以上、各実施例について説明したが、各実施例から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

(イ) 請求項 13 または請求項 14 に記載の薄膜トランジスタの製造方法において、多結晶シリコン膜に水素化処理を施した薄膜トランジスタの製造方法。

【0077】このようにすれば、多結晶シリコン膜の結晶欠陥部分に水素原子が結合することにより、欠陥が減って結晶構造が安定化し、電界効果移動度を高めることができる。

【0078】(ロ) 請求項 13 または請求項 14 に記載の薄膜トランジスタの製造方法において、多結晶シリコン膜のチャンネル領域に相当する部分に不純物をドーピングした薄膜トランジスタの製造方法。

【0079】このようにすれば、多結晶シリコン TFT の閾値電圧を制御することができる。

(ハ) 請求項 5 ~ 7 のいずれか 1 項に記載の半導体装置の製造方法によって形成された多結晶シリコン膜を基板上に形成する工程と、多結晶シリコン膜下にゲート絶縁膜を形成する工程と、ゲート絶縁膜下にゲート電極を形成する工程とを備えた薄膜トランジスタの製造方法。

【0080】このようにすれば、逆スタガ型または逆プレーナ型の多結晶シリコンTFTを得ることができる。

(二) 基板上に、光を反射する膜、基板よりも熱伝導率の低い材料による膜、シリコンが吸収しない波長の光を吸収する材料による膜のうち少なくともいずれか一つの膜が形成され、その膜の上にバッファ膜を介して多結晶シリコン膜が形成された半導体装置。

【0081】このようにすれば、非晶質シリコン膜を溶融再結晶化させて多結晶シリコン膜を形成する際に、前記膜と多結晶シリコン膜とが反応するのを防ぐことができる。

(ホ) 請求項 8～10 のいずれか 1 項に記載の半導体装置の製造方法において、基板上に、光を反射する膜、基板よりも熱伝導率の低い材料による膜、シリコンが吸収しない波長の光を吸収する材料による膜のうち少なくともいずれか一つの膜を形成する工程と、その膜の上に非晶質シリコン膜を形成する工程との間に、バッファ膜を形成する工程を加えた半導体装置の製造方法。

【0082】このようにすれば、非晶質シリコン膜を溶融再結晶化させて多結晶シリコン膜を形成する際に、前記膜と多結晶シリコン膜とが反応するのを防ぐことができる。

【0083】ところで、本明細書において、発明の構成に係る部材は以下のように定義されるものとする。

(a) 基板としては、石英ガラス、高耐熱ガラス、高耐熱樹脂、セラミックスなどのあらゆる絶縁材料による基板を含むだけでなく、表面にシリコン酸化膜などの絶縁層を設けた金属などの導電性基板をも含むものとする。

【0084】(b) 薄膜トランジスタとしては、プレーナ型だけでなく、逆プレーナ型、スタガ型、逆スタガ型などをも含むものとする。

(c) ゲート絶縁膜としては、高温の熱酸化法などの高温プロセスで形成されたシリコン酸化膜だけでなく、プラズマ酸化法、常圧CVD法、減圧CVD法、プラズマCVD法、ECRプラズマCVD法、光励起CVD法、\*

\* 蒸着法、スパッタ法などの低温プロセスで形成されたシリコン酸化膜、シリコン窒化膜、シリコン窒酸化膜などをも含むものとする。

【0085】

【発明の効果】

1) 結晶粒径が均一な多結晶シリコン膜を備えた半導体装置およびその製造方法を提供することができる。

【0086】2) 結晶粒径が均一で且つ大きな多結晶シリコン膜を備えた半導体装置およびその製造方法を提供することができる。

3) 優れた多結晶シリコン膜を能動層として用いる優れた薄膜トランジスタおよびその製造方法を提供することができる。

【0087】4) 優れた薄膜トランジスタを画素駆動素子として用いる安価で大面積で優れた表示装置を提供することができる。

【図面の簡単な説明】

【図 1】一実施例の製造方法を説明するための概略断面図。

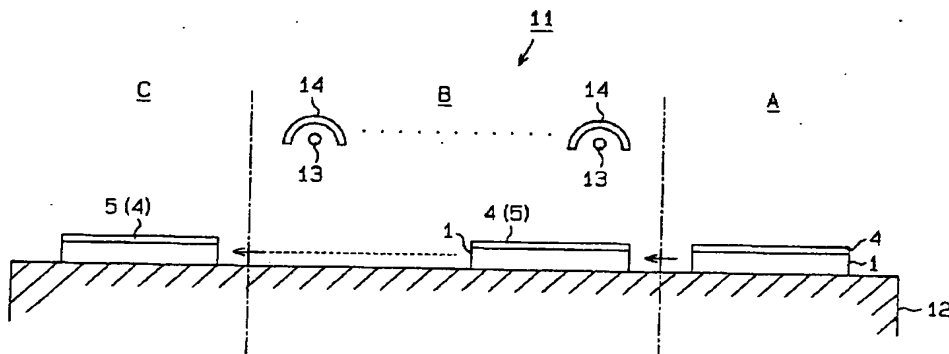
【図 2】一実施例の製造方法を説明するための概略断面図。

【図 3】RTA装置の概略構成図。

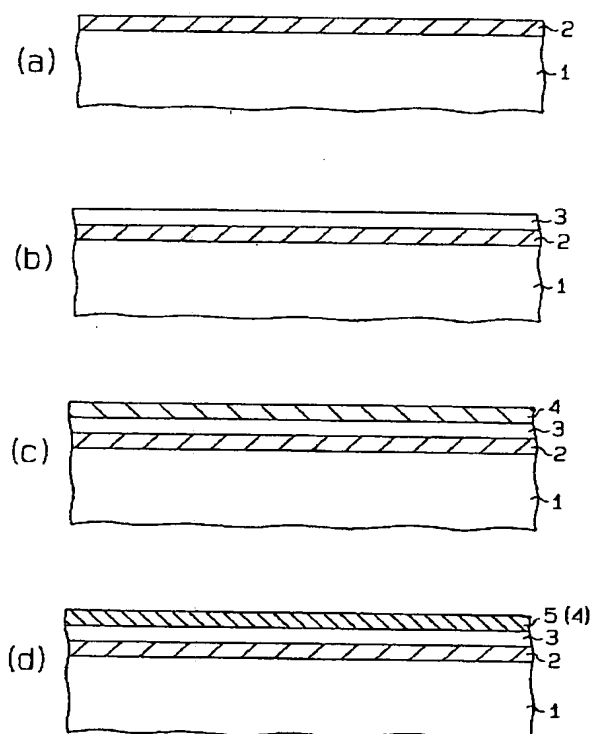
【符号の説明】

- 1 絶縁基板
- 3 反射膜
- 4 非晶質シリコン膜
- 5 多結晶シリコン膜
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 ソース領域またはドレイン領域 (ソース・ドレイン領域)
- 9 層間絶縁膜
- 10 コンタクトホール
- 11 ソース電極またはドレイン電極 (ソース・ドレイン電極)

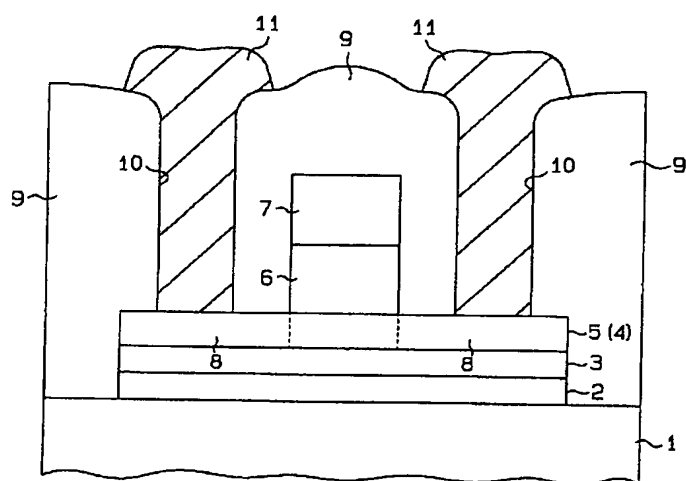
【図 3】



【図 1】



【図 2】



フロントページの続き

(51) Int. Cl.<sup>6</sup>

H01L 21/84  
29/786  
21/336

識別記号

庁内整理番号

F I

技術表示箇所

(11)

特開平8-51076

9056-4M

H O 1 L 29/78

3 1 1 Y